

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masayuki TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: A NONVOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURING METHOD FOR THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

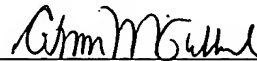
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-192495	July 4, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月 4日
Date of Application:

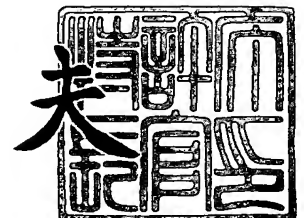
出願番号 特願2003-192495
Application Number:
[ST. 10/C]: [JP2003-192495]

出願人 株式会社東芝
Applicant(s):

2003年 9月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3071580



【書類名】 特許願

【整理番号】 APB036011

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 29/78

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 田中 正幸

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 佐藤 敦祥

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 山下 寛樹

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 水島 一郎

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 小澤 良夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置であって、前記メモリセルアレイは、

半導体基板と、

該半導体基板の表面に下部を埋め込まれ、前記複数本のメモリセルカラム間において、壁状に互いに平行に走行する複数の素子分離絶縁膜と、

該素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように前記半導体基板の表面に形成されたセル部ゲート絶縁膜と、

前記素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように前記セル部ゲート絶縁膜上に形成され、上部端面が前記素子分離絶縁膜の上部端面の位置よりも低い第一導電層と、

比誘電率がシリコン酸化膜より大きい絶縁膜からなり、前記第一導電層の頂部上にそれぞれ配置され、且つ前記素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成する導電層間絶縁膜と、

底面が前記素子分離絶縁膜の上部端面に接し、且つそれぞれのメモリセルカラムの前記導電層間絶縁膜上に配置され、隣接するメモリセルカラムに共通の配線となるように連続して形成された第二導電層

とを備えることを特徴とする半導体記憶装置。

【請求項 2】 前記導電層間絶縁膜は、前記素子分離絶縁膜の上部端面と前記第一導電層の上部端面との段差部が構成する前記第二導電層の底面と前記第一導電層の上部端面の間の空間に埋め込まれていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記導電層間絶縁膜は、前記素子分離絶縁膜の上部端面と前

記第一導電層の上部端面との段差部より薄い膜厚であり、前記素子分離絶縁膜の側壁と前記第一導電層の頂部とに接して、前記空間に埋め込まれていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記導電層間絶縁膜の表面と前記第二導電層の底面が構成する空間に、補助導電層が埋め込まれていることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記導電層間絶縁膜の前記第一導電層の頂部における膜厚は、前記素子分離絶縁膜の側壁近傍の値の方が、前記第一導電層の頂部中央部の値より大きいことを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 6】 前記第一導電層の頂部の形状は、前記素子分離絶縁膜の側壁近傍の位置が、前記第一導電層の頂部中央部の値より高いなだらかな曲面をなすことを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 7】 前記第 2 導電層の底面と前記第一導電層の上部端面と間に位置する前記素子分離絶縁膜の側壁部の位置が、前記第一導電層の側壁を延長した位置から後退していることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 8】 前記導電層間絶縁膜は、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、ハフニウム酸化物、ジルコニウム酸化物のいずれか 1 つの単層膜或いは複数の積層膜であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体記憶装置。

【請求項 9】 メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置の製造方法であって、

前記複数本のメモリセルカラム間において、素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように半導体基板の表面に、セル部ゲート絶縁膜及び第一導電層を、該第一導電層の上部端面が前記素子分離絶縁膜の上部端面の位置よりも低くなるように、それぞれ順次積層した構造を実現する工程と、

比誘電率がシリコン酸化膜より大きい絶縁膜からなる導電層間絶縁膜を、前記素子分離絶縁膜により互いに分離されるように、前記第一導電層の頂部上にそれ

ぞれ配置する工程と、

隣接するメモリセルカラムに共通の配線となるように、第二導電層を底面が前記素子分離絶縁膜の上部端面に接するように、それぞれのメモリセルカラムの前記導電層間絶縁膜上に配置する工程

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 10】 前記導電層間絶縁膜を前記第一導電層の頂部上にそれぞれ配置する工程は、

前記素子分離絶縁膜の上部端面と前記第一導電層の上部端面との段差部が構成する空間に、前記導電層間絶縁膜が形成されるよう全面に堆積する段階と、

前記素子分離絶縁膜の頂部が露出するまで表面の平坦化を行い、前記前記素子分離絶縁膜の頂部の前記導電層間絶縁膜を除去する段階

とを含むことを特徴とする請求項 9 記載の半導体記憶装置の製造方法。

【請求項 11】 前記導電層間絶縁膜を前記第一導電層の頂部上にそれぞれ配置する工程は、

前記素子分離絶縁膜の上部端面と前記第一導電層の上部端面との段差部が構成する空間に、該段差部より薄い膜厚で前記導電層間絶縁膜を全面に堆積する段階と、

前記導電層間絶縁膜上に補助導電層を全面に堆積する段階と、

前記素子分離絶縁膜の頂部が露出するまで表面の平坦化を行い、前記素子分離絶縁膜の頂部の前記導電層間絶縁膜及び前記補助導電層を除去し、前記段差部が構成する空間に前記補助導電層を埋め込む段階

とを含むことを特徴とする請求項 9 記載の半導体記憶装置の製造方法。

【請求項 12】 前記順次積層した構造を実現する工程と前記導電層間絶縁膜を前記第一導電層の頂部上にそれぞれ配置する工程との間に、

前記素子分離絶縁膜の上部端面と前記第一導電層の上部端面との段差部が構成する空間に露出した前記素子分離絶縁膜の側壁部を等方的なエッチングにより後退させる工程を更に含むことを特徴とする請求項 9～11 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 13】 前記導電層間絶縁膜を前記第一導電層の頂部上にそれぞれ配

置する工程は、

CVD炉内でガスエッチングし、前記第一導電層の表面に形成された自然酸化膜を除去する段階と、

大気に晒すことなく、前記CVD炉内と同一炉内で、連続的に、前記自然酸化膜が除去された前記第一導電層の表面に、前記導電層間絶縁膜を選択的に形成する段階

とを含むことを特徴とする請求項9記載の半導体記憶装置の製造方法。

【請求項14】 前記導電層間絶縁膜を選択的に形成する段階は、700℃以下、500℃以上で実施することを特徴とする請求項13記載の半導体記憶装置の製造方法。

【請求項15】 前記導電層間絶縁膜を選択的に形成する段階は、シリコンのハロゲン化物のガスをソースガスとして用いたCVDであることを特徴とする請求項13又は14記載の半導体記憶装置の製造方法。

【請求項16】 前記シリコンのハロゲン化物は、塩素化合物であることを特徴とする請求項15記載の半導体記憶装置の製造方法。

【請求項17】 前記シリコンのハロゲン化物は、トリクロルシラン又はテトラクロルシランであることを特徴とする請求項15記載の半導体記憶装置の製造方法。

【請求項18】 前記順次積層した構造を実現する工程は、

半導体基板の表面にセル部ゲート絶縁膜を形成する段階と、

該セル部ゲート絶縁膜上に第一導電層を形成する段階と、

該第一導電膜上に、前記素子分離絶縁膜とエッチング特性が異なるエンドポイント膜を形成する段階と、

該エンドポイント膜上に前記素子分離絶縁膜とエッチング特性が等しいマスク膜を形成する段階と、

前記マスク膜をパターニングし、パターニングされた前記マスク膜を用いて、前記エンドポイント膜、前記第一導電層、前記セル部ゲート絶縁膜及び前記半導体基板の表面の一部をそれぞれ選択的にエッチングし、前記複数本のメモリセルカラムに分離する素子分離溝を形成する段階と、

該素子分離溝に、前記素子分離絶縁膜を埋め込む段階と、
前記エンドポイント膜が露出するまで表面を平坦化する段階と、
前記素子分離絶縁膜とエッチング特性が異なることを利用して、前記エンドポイント膜を選択的に除去する段階
とを含むことを特徴とする請求項 9 記載の半導体記憶装置の製造方法。

【請求項 1 9】前記エンドポイント膜を選択的に除去する段階の後、
前記第一導電膜が露出するまで表面を平坦化する段階と、
露出した前記第一導電層の頂部を、前記第一導電層の頂部の前記素子分離絶縁膜の側壁近傍の位置が、前記第一導電層の頂部中央部の値より高いなだらかな曲面をなすように除去する段階
とを更に含むことを特徴とする請求項 1 8 記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体記憶装置に係り、特に第一導電層と第二導電層との間に導電層間絶縁膜を挟んだゲート電極構造を有するメモリセルトランジスタを備えた半導体記憶装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体記憶装置は、高集積・微細化によってセル間の距離が年率約 3 0 % で縮小している。セル間距離の縮小及びそれに伴う問題点を解決するための施策としての高誘電率の導電層間絶縁膜の適用に伴い、隣接セル間干渉が増大する懸念がある。

【0 0 0 3】

不揮発性半導体記憶装置では、従来、多結晶シリコンで浮遊ゲート電極となる第一導電層を構成し、この第一導電層（浮遊ゲート電極）中に電荷を保持することでセルに情報を記憶している。そのため、微細化された不揮発性半導体記憶装置では電荷を保持している“書き込みセル”と電荷を保持していない“消去セル”の間で、セル間の距離が減少するのに伴っていわゆる「近接セル間干渉」が増

大することになる。このため、素子分離絶縁膜にフッ素を添加し比誘電率を低下させ、隣接したセル間の動作干渉を抑制する方法が提案されている（特許文献 1 参照。）。

【 0 0 0 4 】

一方、従来よりもセル間の距離が縮小する結果として、不揮発性半導体記憶装置では、第一導電層（浮遊ゲート電極）と第二導電層（制御ゲート電極）の間に形成する導電層間絶縁膜に関して、ONO 膜（シリコン酸化膜（ SiO_2 膜）／シリコン窒化膜（ Si_3N_4 膜）／シリコン酸化膜（ SiO_2 膜）の 3 層積層膜）で採用してきた 3 次元的な構造を利用することによる面積の増大が不可能となっている。そのため、微細化された不揮発性半導体記憶装置の実現のためには、導電層間絶縁膜として従来よりも高誘電率の絶縁膜の適用が必要になる。

【 0 0 0 5 】

高誘電率の絶縁膜を適用すれば、物理的な膜厚を減少させずに容量を大きくできるため、リーク電流を増加させずに、且つ 3 次元的な構造にする必要がなくなると期待されている。又、3 次元的な構造にする必要がなくなることから製造工程が簡略になり、結果として素子を高性能化し、且つ製造方法を容易にし、高歩留まりな製造工程を実現することが可能になると期待されている。

【 0 0 0 6 】

図 2 0 に、導電層間絶縁膜まで形成した段階での、ビット線に垂直方向から見た従来の不揮発性半導体記憶装置のメモリセルトランジスタの構造断面図を示す。

【 0 0 0 7 】

【特許文献 1】

特開 2 0 0 1 - 1 5 6 1 6 号公報

【 0 0 0 8 】

【発明が解決しようとする課題】

図 2 0 に示すように、従来の不揮発性半導体記憶装置のメモリセルトランジスタは、セル間距離の縮小に伴い第一導電層（浮遊ゲート電極）3 間の近接セル間干渉（図中の C1）が増大し、問題となる。

【0009】

加えて、導電層間絶縁膜にシリコン酸化物よりも比誘電率 ϵ_r の大きな材料からなる導電層間絶縁膜 8e を形成することにより、“書き込みセル”中の蓄積電荷の電界は導電層間絶縁膜 8e 中を通して隣接セルに干渉を起こす（図中の C2）。導電層間絶縁膜 8e の比誘電率 ϵ_r が、シリコン酸化膜よりも大きい場合は、近接セル間の干渉は C1 よりも C2 でより大きくなり、C2 の近接セル間の干渉がより深刻な問題となる。

【0010】

このような理由から、微細化された不揮発性半導体記憶装置では高集積化及び高性能化を実現するために導電層間絶縁膜 8e に従来よりも高誘電率の絶縁膜を適用して、且つ隣接セル間干渉を抑制する必要がある。

【0011】

このため、微細化された不揮発性半導体記憶装置では導電層間絶縁膜 8e に関しては、図 20 に示すようにワード線方向で連続であるような構造を採用することができないという不都合が生じていた。

【0012】

上記問題点を鑑み、本発明は、微細化が進み、セル間距離が縮小された場合でも、隣接セル間干渉を最小限に抑制できる半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の特徴は、メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置に関する。即ち、本発明の第 1 の特徴に係るメモリセルアレイは、（イ）半導体基板と、（ロ）この半導体基板の表面に下部を埋め込まれ、複数本のメモリセルカラム間において、壁状に互いに平行に走行する複数の素子分離絶縁膜と、（ハ）この素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように半導体基板の表面に形成されたセル部ゲ

ート絶縁膜と、(ニ) 素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するようにセル部ゲート絶縁膜上に形成され、上部端面が素子分離絶縁膜の上部端面の位置よりも低い第一導電層と、(ホ) 比誘電率がシリコン酸化膜より大きい絶縁膜からなり、第一導電層の頂部上にそれぞれ配置され、且つ素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成する導電層間絶縁膜と、(ヘ) 底面が素子分離絶縁膜の上部端面に接し、且つそれぞれのメモリセルカラムの導電層間絶縁膜上に配置され、隣接するメモリセルカラムに共通の配線となるように連続して形成された第二導電層とを備えることを要旨とする。

【0 0 1 4】

本発明の第2の特徴は、メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置の製造方法に関する。即ち、本発明の第2の特徴に係る半導体記憶装置の製造方法は、以下の各工程を含むことを要旨とする：

(イ) 複数本のメモリセルカラム間において、素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように半導体基板の表面に、セル部ゲート絶縁膜及び第一導電層を、この第一導電層の上部端面が素子分離絶縁膜の上部端面の位置よりも低くなるように、それぞれ順次積層した構造を実現する工程；

(ロ) 比誘電率がシリコン酸化膜より大きい絶縁膜からなる導電層間絶縁膜を、素子分離絶縁膜により互いに分離されるように、第一導電層の頂部上にそれぞれ配置する工程；

(ハ) 隣接するメモリセルカラムに共通の配線となるように、第二導電層を底面が素子分離絶縁膜の上部端面に接するように、それぞれのメモリセルカラムの導電層間絶縁膜上に配置する工程。

【0 0 1 5】

【発明の実施の形態】

次に、図面を参照して、本発明の第1乃至第4の実施の形態を説明する。以下

の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0016】

又、以下に示す第1乃至第4の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0017】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体記憶装置は、図1及び図2に示ように、それぞれ独立して電荷蓄積状態が制御される電荷蓄積層を有するメモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備えるNAND型フラッシュメモリである。図1は図2に示したワード線WL1, WL2, …… , WL32方向に沿った切断面で見した場合の断面図であるので、図2を先に説明する。

【0018】

即ち、本発明の第1の実施の形態に係る半導体記憶装置は、図2に示すように、行方向に配列される複数のワード線WL1, WL2, …… WL32と、このワード線WL1, WL2, …… WL32と直交する列方向に配列される複数のビット線BL2j-1, BL2j, BL2j+1, ……を備えている。そして、図2の列方向には、複数のワード線WL1, WL2, …… WL32のいずれかにより、それぞれ電荷蓄積状態を制御される電荷蓄積層を有するメモリセルトランジスタが配列されている。図2の場合は、列方向に32個のメモリセルトランジスタが配列されてメモリセルカラムを構成した場合を示している。このメモリセルカラムの配列の両端には、列方向に隣接して配置され、メモリセルカラムに配列された一群のメモリセルトランジスタを選択する一対の選択トランジスタが配置されている。この

一对の選択トランジスタのそれぞれのゲートには、一对の選択ゲート配線SGD，SGSが接続されている。

【0019】

そして、図1に示すように、第1の実施の形態に係る半導体記憶装置のメモリセルアレイは、半導体基板1と、この半導体基板1の表面に下部を埋め込まれた複数の素子分離絶縁膜7と、この素子分離絶縁膜7により互いに分離されたセル部ゲート絶縁膜2、第一導電層3を備えている。複数の素子分離絶縁膜7は図2(b)に示すように、複数本のメモリセルカラム間において、壁状に互いに平行に走行している。セル部ゲート絶縁膜2は、素子分離絶縁膜7により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するように半導体基板1の表面に形成されている。更に、第一導電層3は、素子分離絶縁膜7により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成するようにセル部ゲート絶縁膜2上に形成されている。ここで、第一導電層3の上部端面は、図1に示すように、素子分離絶縁膜7の上部端面の位置よりも低い。

【0020】

第1の実施の形態に係る半導体記憶装置においては、導電層間絶縁膜8aが第一導電層3の頂部上にそれぞれ配置され、且つ素子分離絶縁膜7により互いに分離されている。この導電層間絶縁膜8aは、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成している。そして、図1に示すように、第二導電層10が、底面が素子分離絶縁膜7の上部端面に接し、且つそれぞれのメモリセルカラムの導電層間絶縁膜8a上に配置されている。第二導電層10は、隣接するメモリセルカラムに共通の配線となるように連続して形成されている。

【0021】

図1に示すように、導電層間絶縁膜8aは、素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部が構成する空間に埋め込まれている。この導電層間絶縁膜8aは、素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部より薄い膜厚であり、素子分離絶縁膜7の側壁と第一導電層3の頂部とに

接して、第一導電層 3 の上部の空間に埋め込まれている。そして、更に、導電層間絶縁膜 8 a の表面と第二導電層 10 の底面が構成する空間に、補助導電層 9 が埋め込まれている。

【0022】

導電層間絶縁膜として用いる「高誘電率の絶縁膜」としては、シリコン酸化膜 (SiO_2 膜) の比誘電率 $\epsilon_r = 3.8 \sim 4$ より、比誘電率 ϵ_r が大きい材料が好ましい。特に、従来の ONO 膜で得られていた比誘電率 $\epsilon_r = 5 \sim 5.5$ 同程度よりも、更に比誘電率 ϵ_r が大きい材料が好ましい。例えば、 $\epsilon_r = 6$ であるストロンチウム酸化物 (SrO) 膜、 $\epsilon_r = 7$ であるシリコン窒化物 (Si_3N_4) 膜、 $\epsilon_r = 8 \sim 11$ であるアルミニウム酸化物 (Al_2O_3) 膜、 $\epsilon_r = 10$ であるマグネシウム酸化物 (MgO) 膜、 $\epsilon_r = 16 \sim 17$ であるイットリウム酸化物 (Y_2O_3) 膜、 $\epsilon_r = 22 \sim 23$ であるハフニウム酸化物 (HfO_2) 膜、 $\epsilon_r = 22 \sim 23$ であるジルコニウム酸化物 (ZrO_2) 膜、 $\epsilon_r = 25 \sim 27$ であるタンタル酸化物 (Ta_2O_5) 膜、 $\epsilon_r = 40$ であるビスマス酸化物 (Bi_2O_3) 膜のいずれか 1 つの単層膜或いはこれらの複数を積層した複合膜が使用可能である。 Ta_2O_5 や Bi_2O_3 は多結晶シリコンとの界面における熱的安定性に欠ける。更には、シリコン酸化膜とこれらの複合膜でも良い。複合膜は 3 層以上の積層構造でも良い。即ち、少なくとも、一部に上記の比誘電率 ϵ_r が 6 以上の材料を含む絶縁膜が好ましい。但し、複合膜の場合は膜全体として測定される実効的な比誘電率 ϵ_{reff} が 6 以上になる組み合わせを選択することが好ましい。実効的な比誘電率 ϵ_{reff} が 6 未満では、従来の ONO 膜と同程度であり、ONO 膜以上の効果が期待できないからである。又、ハフニウム・アルミネート (HfAlO) 膜のような 3 元系の化合物からなる絶縁膜でも良い。即ち、ストロンチウム (Sr)、アルミニウム (Al)、マグネシウム (Mg)、イットリウム (Y)、ハフニウム (Hf)、ジルコニウム (Zr)、タンタル (Ta)、ビスマス (Bi) のいずれか 1 つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物が導電層間絶縁膜として使用可能である。なお、強誘電体のチタン酸ストロンチウム (SrTiO_3)、バリウム・チタン酸ストロンチウム (BaSrTiO_3) 等も高誘電率の絶縁膜材料として使用可能であるが、多結晶シリコンと

の界面における熱的安定性に欠ける点と、強誘電体のヒステリシス特性に対する考慮が必要になる。

【0 0 2 3】

本発明の第 1 の実施の形態に係る半導体記憶装置によれば、導電層間絶縁膜 8 a に起因する隣接セル間干渉を最小限に抑制したメモリセルトランジスタの構造を実現することが可能になる。

【0 0 2 4】

図 3 ～図 7 を用いて、本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明する。なお、以下に述べる半導体記憶装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0 0 2 5】

(イ) 先ず、p 型シリコン基板からなる半導体基板 1 上にセル部ゲート絶縁膜 2 を 1 n m から 1 5 n m 程度形成する。半導体基板 1 としては、n 型シリコン基板上に p 型ウェルを形成した基板でも良い。このセル部ゲート絶縁膜 2 の上に化学的気相堆積 (C V D) 法によって浮遊ゲート電極となる第一導電層 3 を 1 0 n m から 2 0 0 n m 程度形成する。更に、C V D 法によってエンドポイント膜となるシリコン窒化膜 4 を 5 0 n m から 2 0 0 n m 程度形成する。エンドポイント膜 4 は、素子分離絶縁膜とエッチング特性が異なる材料であれば、シリコン窒化膜に限定されない。ここでは、素子分離絶縁膜 7 として、シリコン酸化膜を想定しているので、エンドポイント膜 4 はシリコン窒化膜が好適である。その後、引き続き、C V D 法によってマスク膜となるシリコン酸化膜 5 を 5 0 n m から 4 0 0 n m 程度形成する。マスク膜 5 は、素子分離絶縁膜 7 とエッチング特性が等しい材料であれば、シリコン酸化膜に限定されない。ここでは、素子分離絶縁膜 7 として、シリコン酸化膜を想定しているので、マスク膜 5 はシリコン酸化膜が好適である。そして、シリコン酸化膜 5 上に、フォトレジスト 6 を塗布し、露光描画によりフォトレジスト 6 を、図 3 に示すようにパターンニングする。

【0 0 2 6】

(ロ) 次いで、図 3 に示したフォトレジスト 6 を耐エッチングマスクにしてシ

リコン酸化膜 5 を反応イオンエッチング (RIE) でエッチングする。エッチング後にフォトレジスト 6 を除去し、シリコン酸化膜 5 をマスクにしてシリコン窒化膜 4 をエッチングする。更に、第一導電層 3、セル部ゲート絶縁膜 2 及び半導体基板 1 をエッチングすることにより素子分離のための溝を形成する。その後、シリコン酸化膜等の素子分離絶縁膜 7 を 200 nm から 1500 nm 形成し、素子分離溝を埋め込む。更に、第 1 の化学的機械的研磨法 (CMP 法) により、シリコン窒化膜 (エンドポイント膜) 4 をストッパーにして平坦化を行う。次いで、シリコン酸化膜 5 と選択比を持ってエッチングすることが可能な熱燐酸溶液を用いて図 4 に示すように、シリコン窒化膜 4 を除去する。ここでは、素子分離溝を形成するに際して、シリコン窒化膜 4 及びシリコン酸化膜 5 の積層膜をマスクに用いた例を述べたが、膜厚及び RIE 条件を適切にすれば、単層のシリコン窒化膜、単層のシリコン酸化膜、若しくは他の単層・多層膜のいずれでもシリコンとの選択比が取れる材料であれば実施可能である。

(ハ) 次に、図 4 のシリコン窒化膜 4 の除去後に得られた溝上に、シリコン酸化物よりも比誘電率 ϵ_r の大きな材料からなる導電層間絶縁膜 8 a を、図 5 に示すように、素子分離絶縁膜 7 の上部端面と第一導電層 3 の上部端面との段差よりも薄い膜厚で堆積する。導電層間絶縁膜 8 a は、段差被覆性に優れた方法を用いて、酸化膜換算の膜厚で 1 nm から 30 nm 程度形成すれば良い。「シリコン酸化物よりも比誘電率 ϵ_r の大きな材料」については上述した通りであり、単層の高誘電率の絶縁膜、シリコン酸化膜と高誘電率の絶縁膜との複合膜、或いは、シリコン窒化膜等の高誘電率の絶縁膜とシリコン酸化膜との 2 層以上の種々の組み合わせによる多層構造等が採用可能である。

【0027】

(ニ) そして、導電層間絶縁膜 8 a の上に、図 6 に示すように制御ゲート電極となる補助導電層 9 を堆積する。補助導電層 9 は、半導体記憶装置のメモリセルトランジスタにおける制御ゲート電極の一部として機能するが、合わせて、次工程での第 2 の CMP 時に導電層間絶縁膜 8 a の表面保護を行う目的で形成する。次いで、第 2 の CMP によりシリコン酸化膜 5 等の素子分離絶縁膜 7 をストッパーにして補助導電層 9 を平坦化することで図 7 の構造断面図を得る。この第 2 の

CMP工程により、素子分離絶縁膜7上の導電層間絶縁膜8aを完全に除去することができる。

【0028】

(ホ) 次いで、第二導電層10を10nmから200nm程度堆積し、図1に示すメモリセルトランジスタの構造断面図を得る。

【0029】

上記のような第1の実施の形態に係る半導体記憶装置の製造方法によれば、導電層間絶縁膜8aに起因する隣接セル間干渉を最小限に抑制した半導体記憶装置を製造することが可能になる。

【0030】

なお、図2にはNAND型のフラッシュメモリを示したが、第1の実施の形態に係る半導体記憶装置のメモリセルトランジスタの構造は、図8に示すようなAND型のフラッシュメモリや図示を省略したDINOR型フラッシュメモリにも同様に適用可能である。

【0031】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体記憶装置は、図9に示すように、素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部が構成する空間に露出した素子分離絶縁膜7の側壁部が後退しており、段差部が構成する空間の幅が拡大されている。そして、この後退した素子分離絶縁膜7の側壁部と第一導電層3の頂部とに接するように、導電層間絶縁膜8bが、第一導電層3の上部の空間に埋め込まれている。第1の実施の形態に係る半導体記憶装置と同様に、導電層間絶縁膜8bは、素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部より薄い膜厚である。このため、導電層間絶縁膜8bの表面と第二導電層10の底面の間には空間が構成され、この空間に補助導電層9が埋め込まれている。他は、第1の実施の形態に係る半導体記憶装置と基本的に同様な構造であるので、重複した説明を省略する。

【0032】

本発明の第2の実施の形態に係る半導体記憶装置によれば、導電層間絶縁膜8

b による隣接セル間干渉を最小限に抑制することが可能なメモリセルトランジスタの構造が得られる。更に、このメモリセルトランジスタでは、第 1 の実施の形態に係る半導体記憶装置のように、補助導電層 9 形成領域における導電層間絶縁膜 8 b の膜厚相当部分の面積損失が存在しないため、補助導電層 9 の有効面積を確保することが可能である。

【 0 0 3 3 】

図 1 0 及び図 1 1 を用いて、本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を説明する。なお、以下に述べる半導体記憶装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【 0 0 3 4 】

(イ) 先ず、第 1 の実施の形態に係る半導体記憶装置の製造方法で説明したのと同様の工程で、図 1 0 の構造断面図を得る。しかし、第 2 の実施の形態に係る半導体記憶装置の製造方法では、図 3 の工程断面図に示したシリコン窒化膜 4 を除去した後、素子分離絶縁膜 7 の等方エッチングを行い、図 1 1 に示すように、シリコン窒化膜 4 の除去によって形成した凹部の横幅を広げる。素子分離絶縁膜 7 は、ここではシリコン酸化膜からなるものとする。

【 0 0 3 5 】

(ロ) そして、図 1 1 に示すように横幅を広げた凹部の側壁及び底面に、図 9 に示すようにシリコン酸化物よりも比誘電率 ϵ_r の大きな材料からなる導電層間絶縁膜 8 b を堆積する。導電層間絶縁膜 8 b は、段差被覆性に優れた方法を用いて、酸化膜換算膜厚で 1 nm から 3 0 nm 程度堆積する。「シリコン酸化物よりも比誘電率 ϵ_r の大きな材料」については第 1 の実施の形態で説明した通り、単層の高誘電率の絶縁膜、シリコン酸化膜と高誘電率の絶縁膜との複合膜等種々の多層構造等が採用可能である。図 9 に示すように、導電層間絶縁膜 8 b の膜厚は、図 1 1 に示す横幅を広げた凹部の深さより薄い厚さに選ばれる。この結果、導電層間絶縁膜 8 b の堆積形状は、図 1 1 に示す凹部を模して、図 1 1 と同様な新たな凹部を構成する。

【 0 0 3 6 】

(ハ) その後、導電層間絶縁膜 8 b の上に、導電層間絶縁膜 8 b が構成する凹部を埋めるように、補助導電層 9 を形成する。補助導電層 9 は、半導体記憶装置のメモリセルトランジスタにおける制御ゲート電極の一部を形成する。なお、補助導電層 9 は、次工程での CMP 時に導電層間絶縁膜 8 b の表面保護の機能も有する。

【0037】

(ニ) 次いで、CMP により素子分離絶縁膜 7 をストッパーにして補助導電層 9 を平坦化する。この CMP 工程により、素子分離絶縁膜 7 上の導電層間絶縁膜 8 b が完全に除去される。次いで、第二導電層 10 を 10 nm から 200 nm 程度堆積すれば、図 9 に示す構造断面図が完成する。

【0038】

本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法によれば、導電層間絶縁膜 8 b による隣接セル間干渉を最小限に抑制した半導体記憶装置を製造することが可能になる。又、第 1 の実施の形態に係る半導体記憶装置の製造方法に比し、補助導電層 9 部分での面積損失を最小限に抑制できる。

【0039】

(第 3 の実施の形態)

本発明の第 3 の実施の形態に係る半導体記憶装置は、図 12 に示すように、第一導電層 3 の頂部の形状が、素子分離絶縁膜 7 の側壁近傍の位置が、第一導電層 3 の頂部中央部の値より高いなだらかな曲面をなしている点が、第 1 及び第 2 の実施の形態に係る半導体記憶装置とは異なる。そして、この曲面をなす第一導電層 3 の頂部とに接するように、導電層間絶縁膜 8 c が、第一導電層 3 の上部の空間に埋め込まれている。第 1 及び第 2 の実施の形態に係る半導体記憶装置と同様に、導電層間絶縁膜 8 c は、素子分離絶縁膜 7 の上部端面と第一導電層 3 の上部端面との段差部より薄い膜厚である。このため、導電層間絶縁膜 8 c の表面と第二導電層 10 の底面の間には空間が構成され、この空間に補助導電層 9 が埋め込まれている。他は、第 1 及び第 2 の実施の形態に係る半導体記憶装置と基本的に同様な構造であるので、重複した説明を省略する。

【0040】

本発明の第3の実施の形態に係る半導体記憶装置のメモリセルトランジスタの構造によれば、導電層間絶縁膜8cによる隣接セル間干渉を最小限に抑制することが可能になる。更に、このメモリセルトランジスタでは、補助導電層9の表面に曲面を持たせているので、曲面の溝のエッジ付近での導電層間絶縁膜8cの厚膜化を抑制でき、第1の実施の形態に係る半導体記憶装置のように、補助導電層9形成領域における導電層間絶縁膜8aの膜厚相当部分の面積損失が存在しない。このため、補助導電層9の有効面積を確保することが可能である。

【0041】

図13～図15を用いて、本発明の第3の実施の形態に係る半導体記憶装置の製造方法を説明する。なお、以下に述べる半導体記憶装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0042】

(イ) 先ず、第1の実施の形態に係る半導体記憶装置の製造方法で説明したのと同様の工程で、図13の構造断面図を得る。次に、第1のCMPにより平坦化を行い、図14の構造断面図を得る。この第1のCMPの平坦化では、第一導電層3をストッパーに用いる。

【0043】

(ロ) その後、極めて柔らかいパッドを用いて第2のCMPを行い図15に示すように、素子分離絶縁膜7間に形成された第一導電層3の溝の中央で最も深くなるように表面を曲面状に窪ませる。即ち、第1のCMPで露出した第一導電層3の頂部を、第一導電層3の頂部の素子分離絶縁膜7の側壁近傍の位置が、第一導電層3の頂部中央部の値より高いなだらかな曲面をなすように第2のCMPで除去する。次いで、シリコン酸化物よりも比誘電率 ϵ_r の大きな材料からなる導電層間絶縁膜8cを曲面状の凹部の内面に、図15に示すように堆積する。導電層間絶縁膜8cの曲面への堆積は、段差被覆性に優れた方法を用い、酸化膜換算膜厚で1nmから30nm程度に制御する。「シリコン酸化物よりも比誘電率 ϵ_r の大きな材料」については第1の実施の形態で説明した通りである。

【0044】

(ハ) 更に、導電層間絶縁膜 8 c の上に補助導電層 9 を形成する。そして、第 3 の CMP により、補助導電層 9 を平坦化し、素子分離絶縁膜 7 上の導電層間絶縁膜 8 c を完全に除去する。第 3 の CMP においては、素子分離絶縁膜 7 をストッパーに用いる。その後、第二導電層 10 を 10 nm から 200 nm 程度堆積すれば、図 12 に示す構造断面図が完成する。

【0045】

本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法によれば、第 3 の CMP により、素子分離絶縁膜 7 上の導電層間絶縁膜 8 c を完全に除去するので、導電層間絶縁膜 8 c による隣接セル間干渉を最小限に抑制することが可能になる。又、補助導電層 9 の表面に曲面を持たせることにより、補助導電層 9 が埋め込まれた溝のエッジ付近での導電層間絶縁膜 8 c の厚膜化を抑制でき、補助導電層 9 の面積損失を抑制できる。

【0046】

(第 4 の実施の形態)

本発明の第 4 の実施の形態に係る半導体記憶装置は、図 16 に示すように、導電層間絶縁膜 8 d の形状が平行平板形状である点が、第 1 ～ 第 3 の実施の形態に係る半導体記憶装置とは異なる。第 1 ～ 第 3 の実施の形態に係る半導体記憶装置とは異なり、導電層間絶縁膜 8 d は、素子分離絶縁膜 7 の上部端面と第一導電層 3 の上部端面との段差部と同じ膜厚である。このため、第 1 ～ 第 3 の実施の形態に係る半導体記憶装置とは異なり、導電層間絶縁膜 8 d の表面と第二導電層 10 の底面の間には空間が構成されず、この空間に埋め込まれる補助導電層 9 が存在しない。他は、第 1 ～ 第 3 の実施の形態に係る半導体記憶装置と基本的に同様な構造であるので、重複した説明を省略する。

【0047】

本発明の第 4 の実施の形態に係る半導体記憶装置によれば、導電層間絶縁膜 8 d の上部端面の面積が、下部端面と第一導電層 3 との界面の面積と 9 と完全に一致したメモリトランジスタの構造を実現することが可能であり、導電層間絶縁膜 8 d に起因した隣接セル間干渉を抑制できる。更に、第 4 の実施の形態に係る半導体記憶装置によれば、メモリセルトランジスタが、第 1 の実施の形態に係る半

導体記憶装置のように、補助導電層 9 形成領域における導電層間絶縁膜 8 a の膜厚相当部分の面積損失部を有しないため、メモリセルトランジスタの面積損失を抑制できる。

【0048】

図 17 及び図 18 を用いて、本発明の第 4 の実施の形態に係る半導体記憶装置の製造方法を説明する。なお、以下に述べる半導体記憶装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0049】

(イ) 先ず、第 1 の実施の形態に係る半導体記憶装置の製造方法で説明したのと同様の工程で、図 17 の構造断面図を得る。その後、図 18 に示すように、溝上に段差被覆性に優れた方法を用いて導電層間絶縁膜 8 d を段差が完全に埋る膜厚で形成する。

【0050】

(ロ) 次いで、CMP により素子分離絶縁膜 7 をストッパーにして導電層間絶縁膜 8 d を平坦化する。

【0051】

(ハ) 更に、第二導電層 10 を 10 nm から 200 nm 程度堆積し、図 16 に示す構造断面図が完成する。

【0052】

本発明の第 4 の実施の形態に係る半導体記憶装置の製造方法によれば、導電層間絶縁膜 8 d の下部端面と上部端面が完全に一致した平行平板構造を実現することが可能であり、導電層間絶縁膜 8 d に起因した隣接セル間干渉を抑制でき、又、第 1 の実施の形態に係る半導体記憶装置の製造方法のような、溝のエッジ付近での導電層間絶縁膜 8 d の厚膜化を抑制できるため半導体記憶装置の面積損失を抑制できる。

【0053】

(その他の実施の形態)

上記のように、本発明は第 1 乃至第 4 の実施の形態によって記載したが、この

開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0054】

既に述べた第1乃至第4の実施の形態の説明においてはCMPを用いて、素子分離絶縁膜7の表面の導電層間絶縁膜8a, 8b, 8c, 8dを除去していた。しかし、以下に示すように、選択CVDで、例えば、図17に示す素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部が構成する空間に導電層間絶縁膜8dを埋め込めば、CMPは不要である。即ち、図17に示す段階から説明すれば、

(イ) 先ず、図17に示す素子分離絶縁膜7の上部端面と第一導電層3の上部端面との段差部が構成する空間に露出した多結晶シリコン層（第一導電層）3を塩酸（HCl）や希フッ酸（HF）溶液で洗浄し、多結晶シリコン層（第一導電層）3の表面に、厚さ1nm以下の自然酸化膜を形成する。

【0055】

(ロ) 次に、半導体基板1を減圧CVD炉内に導入し、850℃、1kPaの水素雰囲気中に晒して、第一導電層（多結晶シリコン層）3の表面の自然酸化膜を除去する。更に、半導体基板1を減圧CVD炉内に入れたまま、炉内状態を700℃、50Paに変更し、テトラクロルシラン（SiCl₄）ガスとアンモニア（NH₃）ガスを導入して、第一導電層（多結晶シリコン層）3の表面に厚さ2nmのCVDシリコン窒化膜を導電層間絶縁膜8dとして形成する。このとき、素子分離絶縁膜7の表面にはCVDシリコン窒化膜は堆積しない。これは、テトラクロルシラン（SiCl₄）ガスが分解した吸着種の表面反応に依存すると考えられる。即ち、シリコン酸化膜の場合にはシリコンの場合よりも、Si₃N₄膜8dの堆積開始までの時間（インキュベーション時間）が長いためである。

【0056】

なお、自然酸化膜除去のための水素アニールは、減圧で行うのが望ましい。圧力が高い場合に、自然酸化膜を十分除去するためには900℃以上の高温が必要になり、高温水素アニールでは、トンネル酸化膜の膜質が劣化してメモリセルの

信頼性を低下させるからである。

【0057】

又、シリコン上とシリコン酸化膜上のインキュベーション時間差を大きくするために、導電層間絶縁膜 (Si_3N_4 膜) 8d の選択的な堆積条件は、700℃以下の低温が望ましい。低温ほど望ましいが、表面反応のエネルギーを考慮すれば、500℃以上が望ましい。500℃以下では成長速度が非常に小さくなり現実的でない。

【0058】

表面反応を利用して、シリコン上とシリコン酸化膜上のインキュベーション時間差を大きくするためには、シリコンソースはシリコンのハロゲン化物であることが好ましく、特にシリコンの塩素化合物が好ましい。シリコンの塩素化合物としては、ジクロルシラン (SiH_2Cl_2) よりもトリクロルシラン (SiHCl_3) が望ましく、トリクロルシランよりもテトラクロルシランの方が望ましい。

【0059】

更に、図示を省略しているが、導電層間絶縁膜 8a, 8b, 8c の第一導電層 3 の頂部における膜厚を、素子分離絶縁膜 7 の側壁近傍の値の方が、第一導電層 3 の頂部中央部の値より大きいようにしても、図 12 に示した第 3 の実施の形態に係る半導体記憶装置と同様な効果が得られる。

【0060】

また、例えば素子分離絶縁膜 7 の上部端面と第一導電層 3 の上部端面との段差よりも薄い膜厚で導電層間絶縁膜 8a, 8c を選択的に堆積することでも、それぞれ図 1 に示した第 1 の実施の形態、若しくは図 12 に示した第 3 の実施例の実施の形態に係る半導体記憶装置と同様な効果が得られることは言うまでもない。

【0061】

更に、本発明の第 1 乃至第 4 の実施の形態で説明した半導体記憶装置は、ユニバーサル・シリアル・バス (以下において「USB」という) フラッシュ装置 800 を用いたシステムに応用することが可能である。即ち、図 19 に示すように、このフラッシュメモリシステムはホストプラットフォーム 700、及び USB フラッシュ装置 800 より構成される。ホストプラットフォーム 700 は、USB

ケーブル 750 を介して、USB フラッシュ装置 800 へ接続されている。ホストプラットフォーム 700 は、USB ホストコネクタ 701 を介して USB ケーブル 750 に接続し、USB フラッシュ装置 800 は USB フラッシュ装置コネクタ 801 を介して USB ケーブル 750 に接続する。ホストプラットフォーム 700 は、USB バス上のパケット伝送を制御する USB ホスト制御器 702 を有する。USB フラッシュ装置 800 は、USB フラッシュ装置 800 の他の要素を制御し、且つ USB フラッシュ装置 800 の USB バスへのインタフェースを制御する USB フラッシュ装置制御器 802 と、USB フラッシュ装置コネクタ 801 と、本発明の第 1 乃至第 4 の実施の形態で説明した半導体記憶装置を少なくとも 1 つ含んで構成されたフラッシュメモリモジュール 850 とを備える。

【0062】

USB フラッシュ装置 800 がホストプラットフォーム 700 に接続されると、標準 USB 列挙処理が始まる。この処理において、ホストプラットフォーム 700 は、USB フラッシュ装置 800 を認知して USB フラッシュ装置 800 との通信モードを選択し、エンドポイントという、転送データを格納する FIFO バッファを介して、USB フラッシュ装置 800 との間でデータの送受信を行う。ホストプラットフォーム 700 は、他のエンドポイントを介して USB フラッシュ装置 800 の脱着等の物理的、電気的状態の変化を認識し、受け取るべきパケットがあれば、それを受け取る。ホストプラットフォーム 700 は、USB ホスト制御器 702 へ要求パケットを送ることによって、USB フラッシュ装置 800 からのサービスを求める。USB ホスト制御器 702 は、USB ケーブル 750 上にパケットを送信する。USB フラッシュ装置 800 がこの要求パケットを受け入れたエンドポイントを有する装置であれば、これらの要求は USB フラッシュ装置制御器 802 によって受け取られる。

【0063】

次に、USB フラッシュ装置制御器 802 は、フラッシュメモリモジュール 850 から、或いはフラッシュメモリモジュール 850 へ、データの読み出し、書き込み、或いは消去等の種々の操作を行う。それとともに、USB アドレスの取得等の基本的な USB 機能をサポートする。USB フラッシュ装置制御器 802

は、フラッシュメモリモジュール 850 の出力を制御する制御ライン 810 を介して、又、例えば、／CE 等の種々の他の信号や読み取り書き込み信号を介して、フラッシュメモリモジュール 850 を制御する。又、フラッシュメモリモジュール 850 は、アドレスデータバス 811 によっても USB フラッシュ装置制御器 802 に接続されている。アドレスデータバス 811 は、フラッシュメモリモジュール 850 に対する読み出し、書き込み或いは消去のコマンドと、フラッシュメモリモジュール 850 のアドレス及びデータを転送する。

【0064】

ホストプラットホーム 700 が要求した種々の操作に対する結果及び状態に関してホストプラットホーム 700 へ知らせるために、USB フラッシュ装置 800 は、状態エンドポイント（エンドポイント 0）を用いて状態パケットを送信する。この処理において、ホストプラットホーム 700 は、状態パケットがないかをチェックし（ポーリング）、USB フラッシュ装置 800 は、新しい状態メッセージのパケットが存在しない場合に空パケットを、或いは状態パケットそのものを返す。以上のように、本発明の第 1 乃至第 4 の実施の形態に係る半導体記憶装置を少なくとも 1 つ含んで構成されたフラッシュメモリモジュール 850 を適用することにより、USB フラッシュ装置の様々な機能を実施可能である。又、上記 USB ケーブル 750 を省略し、コネクタ間を直接接続することも可能である。

【0065】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0066】

【発明の効果】

本発明によれば、微細化が進み、セル間距離が縮小された場合でも、隣接セル間干渉を最小限に抑制できる半導体記憶装置及びその製造方法が提供できる。

【図面の簡単な説明】

【図 1】

ワード線に沿った方向で切断した場合の、本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルアレイの一部を示す模式的な断面図である。

【図 2】

図 2 (a) は、本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルアレイの一部を示す等価回路図で、図 2 (b) は、図 2 (a) に対応するメモリセルアレイの一部を示す模式的な上面図である。

【図 3】

本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である (その 1)。

【図 4】

本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である (その 2)。

【図 5】

本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である (その 3)。

【図 6】

本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である (その 4)。

【図 7】

本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である (その 5)。

【図 8】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルアレイの変形例を示す等価回路図である。

【図 9】

ワード線に沿った方向で切断した場合の、本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルアレイの一部を示す模式的な断面図である。

【図 10】

本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を説明するための

工程断面図である（その 1）。

【図 1 1】

本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 2）。

【図 1 2】

ワード線に沿った方向で切断した場合の、本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセルアレイの一部を示す模式的な断面図である。

【図 1 3】

本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 1）。

【図 1 4】

本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 2）。

【図 1 5】

本発明の第 3 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 3）。

【図 1 6】

ワード線に沿った方向で切断した場合の、本発明の第 4 の実施の形態に係る半導体記憶装置のメモリセルアレイの一部を示す模式的な断面図である。

【図 1 7】

本発明の第 4 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 1）。

【図 1 8】

本発明の第 4 の実施の形態に係る半導体記憶装置の製造方法を説明するための工程断面図である（その 2）。

【図 1 9】

本発明の第 1 乃至第 4 の実施の形態に係る半導体記憶装置をフラッシュメモリシステムに適用した場合の構成を示す模式的ブロック図である。

【図 2 0】

従来の半導体記憶装置のメモリセルアレイの一部を示す模式的な断面図である

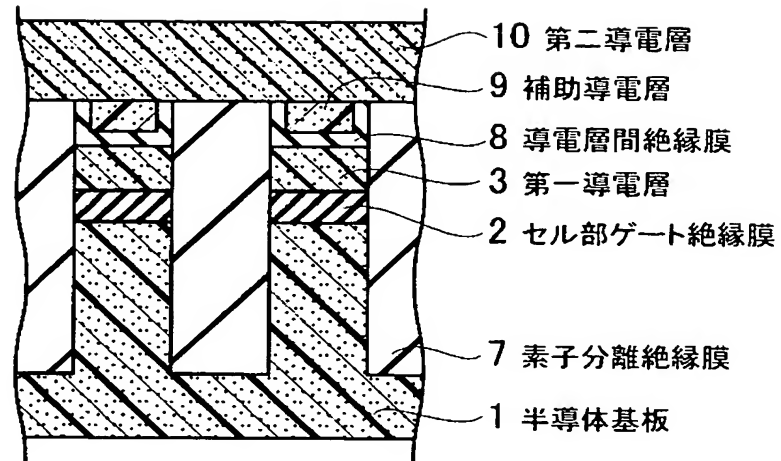
。

【符号の説明】

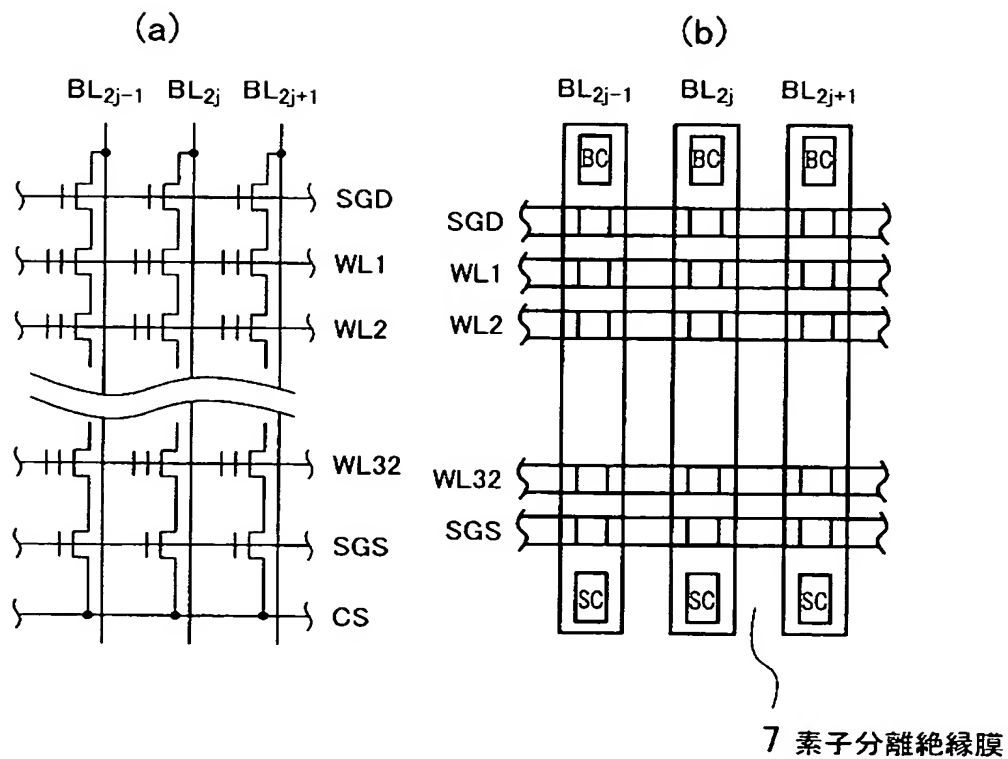
- 1…半導体基板
- 2…セル部ゲート絶縁膜
- 3…第一導電層
- 4…エンドポイント膜（シリコン窒化膜）
- 5…マスク膜（シリコン酸化膜）
- 6…フォトレジスト
- 7…素子分離絶縁膜
- 8 a, 8 b, 8 c, 8 d, 8 e…導電層間絶縁膜
- 9…補助導電層
- 1 0…第二導電層
- 7 0 0…ホストプラットフォーム
- 7 0 1…U S B ホストコネクタ
- 7 0 2…U S B ホスト制御器
- 7 5 0…ケーブル
- 7 5 0…U S B ケーブル
- 8 0 0…フラッシュ装置
- 8 0 0…U S B フラッシュ装置
- 8 0 1…U S B フラッシュ装置コネクタ
- 8 0 2…U S B フラッシュ装置制御器
- 8 1 0…制御ライン
- 8 1 1…アドレスデータバス
- 8 5 0…フラッシュメモリモジュール
- B L_{2j-1}, B L_{2j}, B L_{2j+1}, ……ビット線
- S G D, S G S…選択ゲート配線
- W L₁, W L₂, ……W L₃₂…ワード線

【書類名】 図面

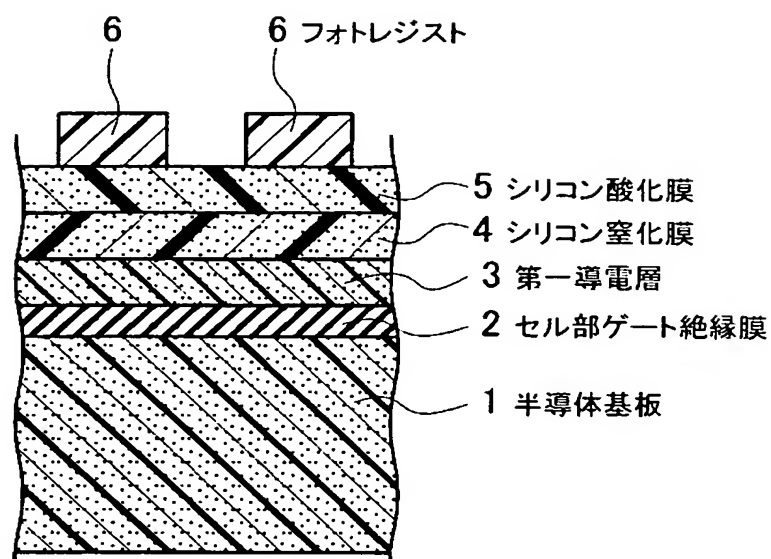
【図 1】



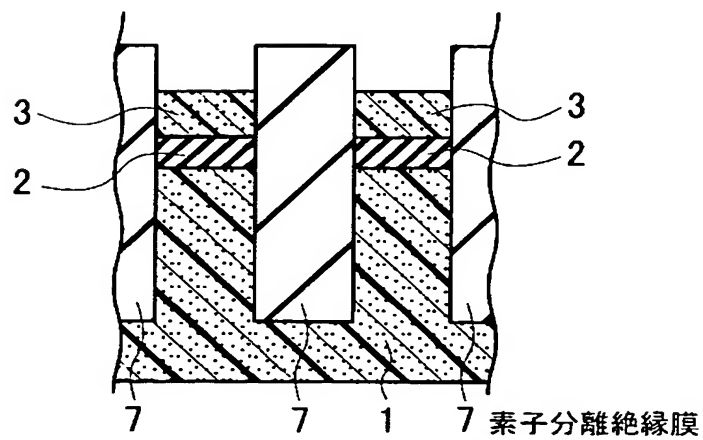
【図 2】



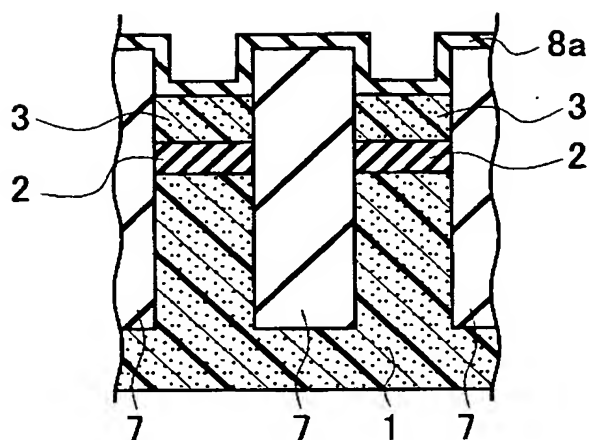
【図 3】



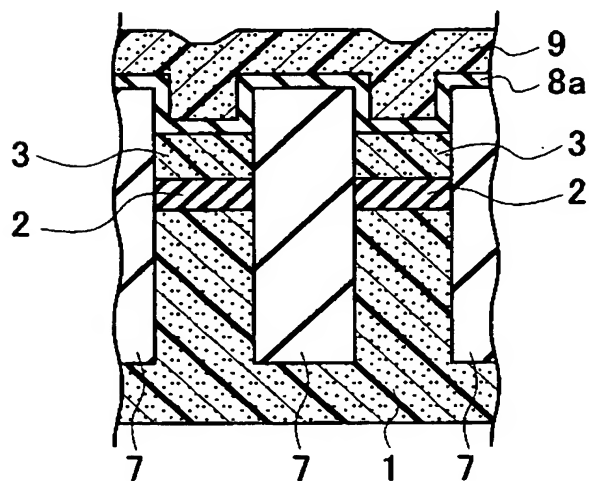
【図 4】



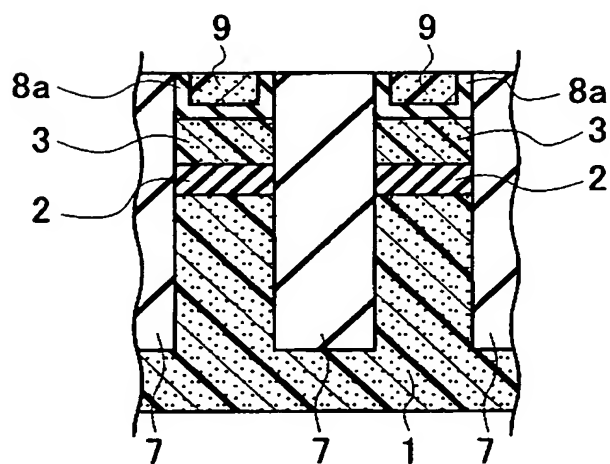
【図 5】



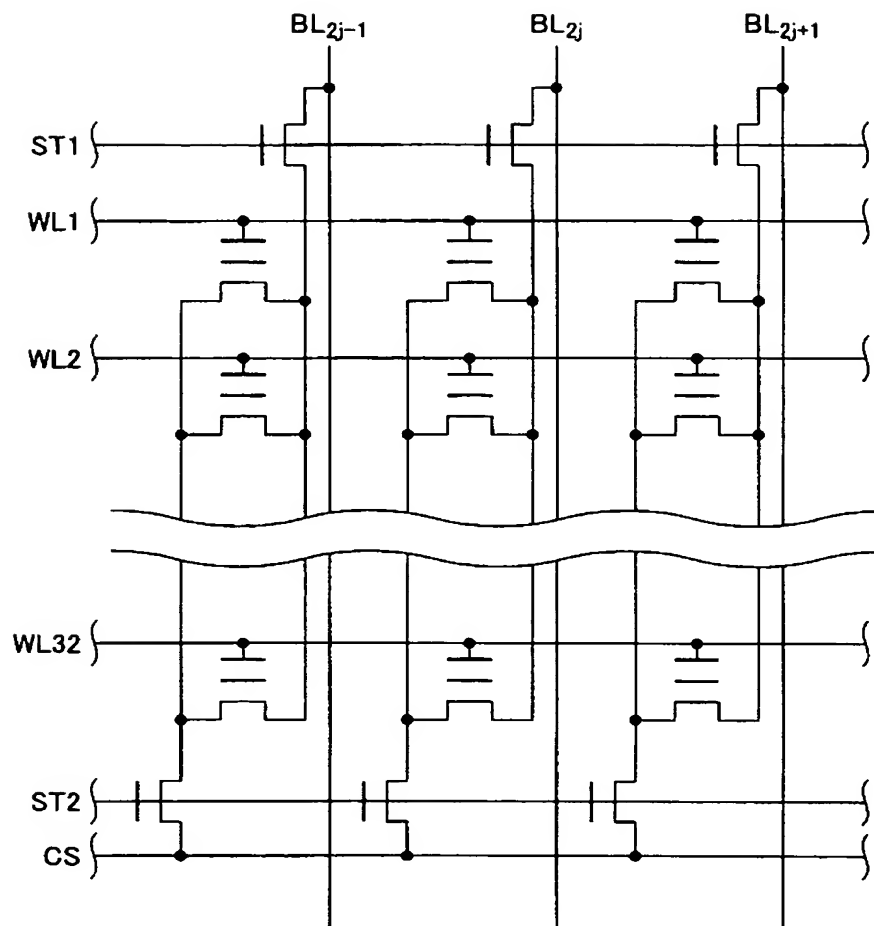
【図 6】



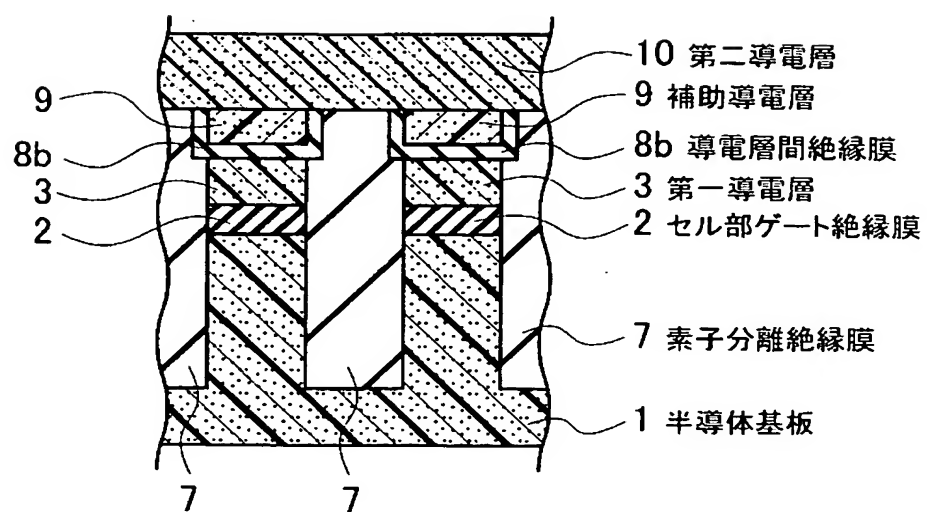
【図 7】



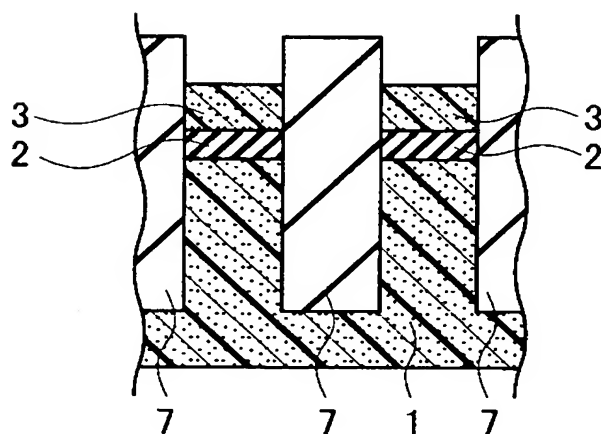
【図 8】



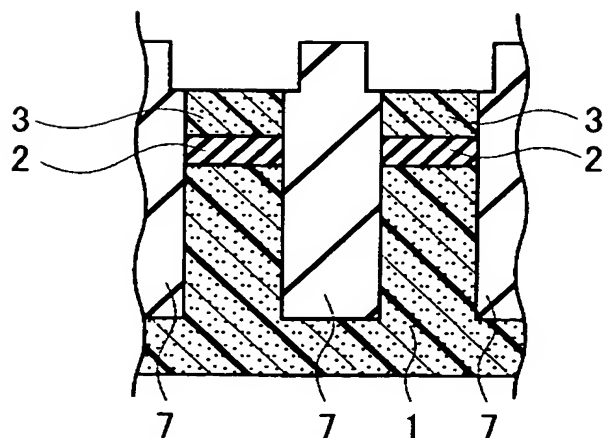
【図 9】



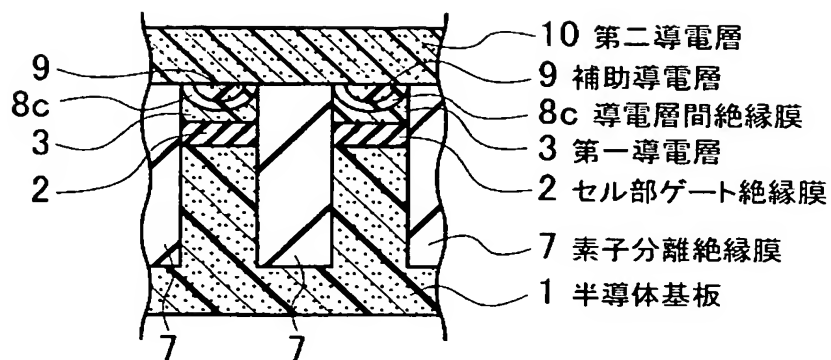
【図 10】



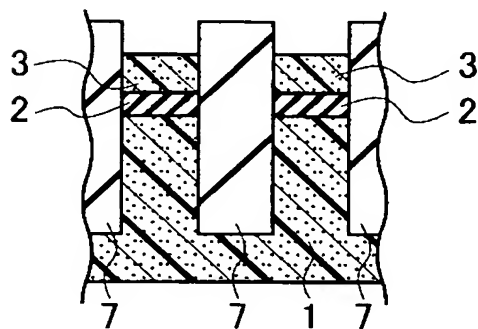
【図 11】



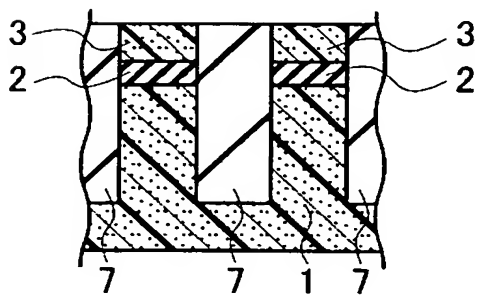
【図 1 2】



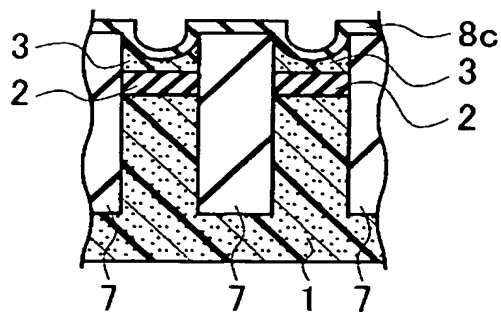
【図 1 3】



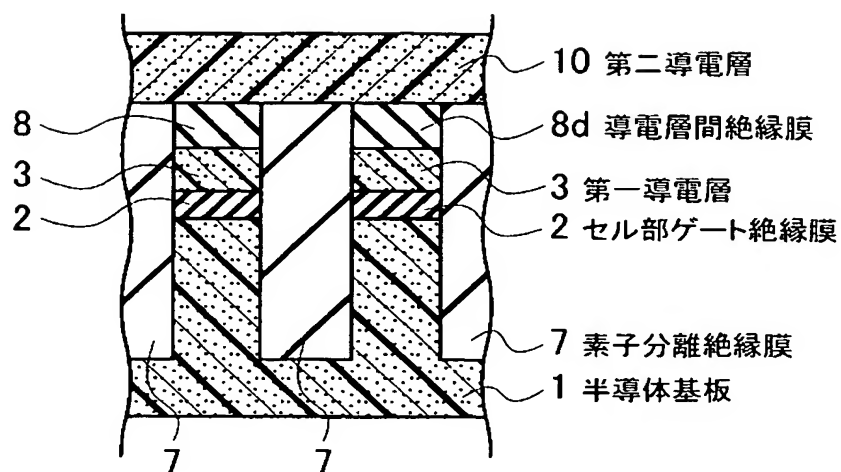
【図 1 4】



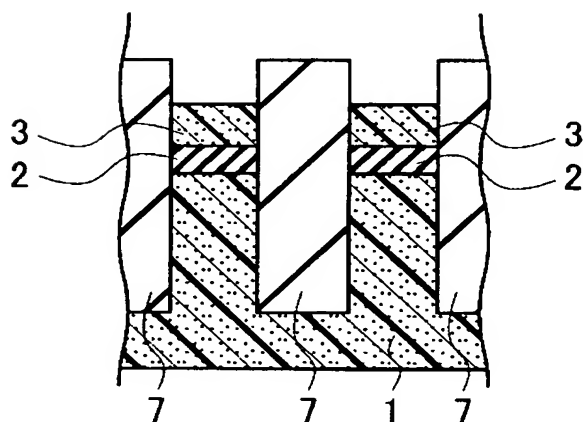
【図 1 5】



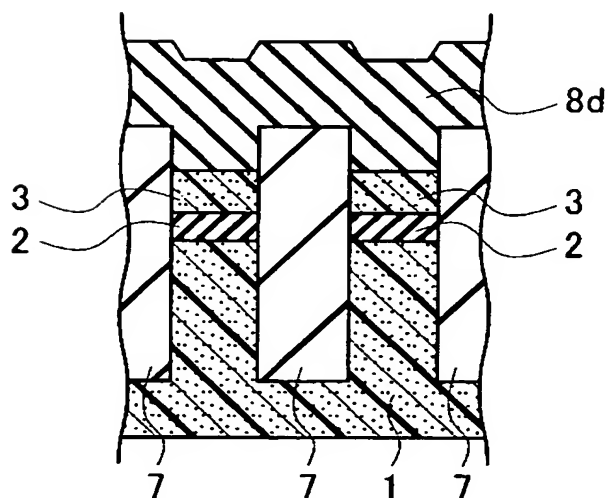
【図 16】



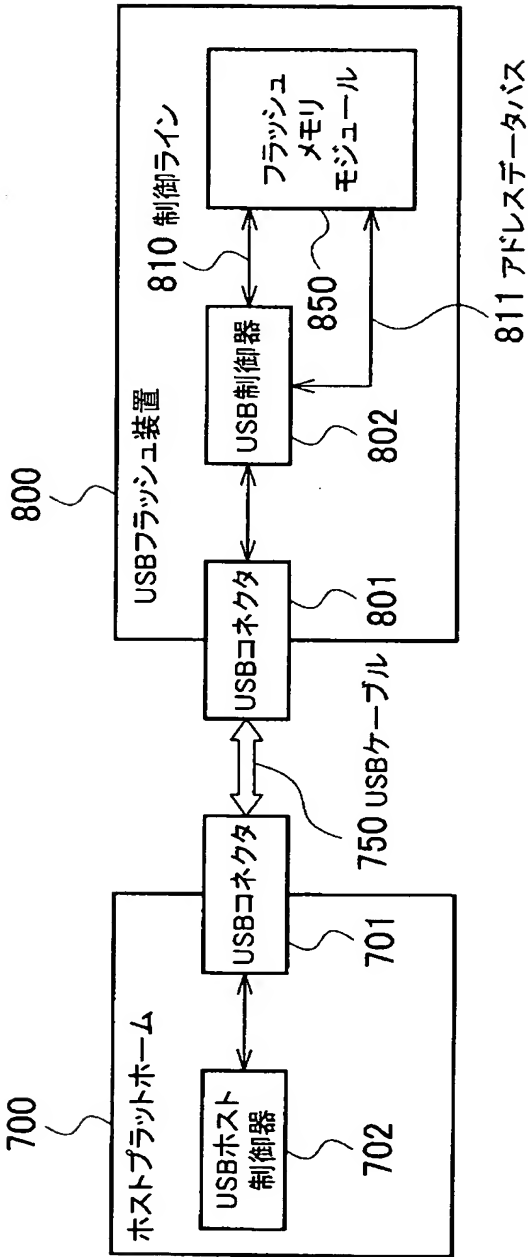
【図 17】



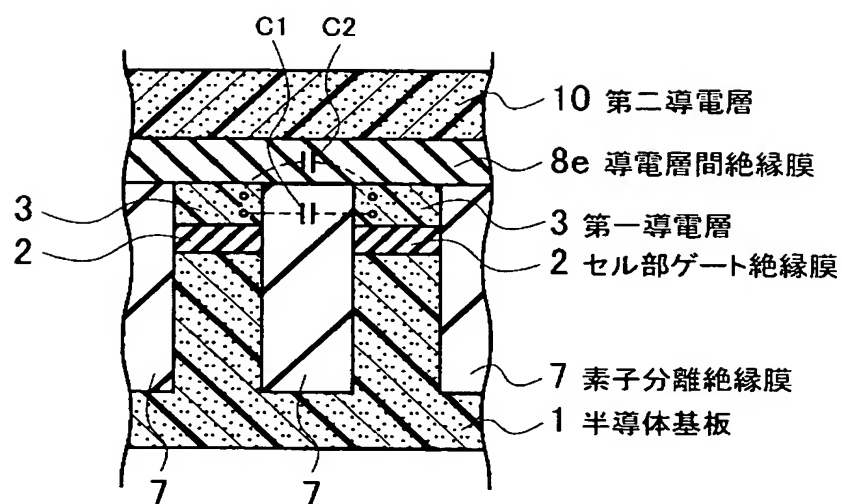
【図 18】



【図 19】



【圖 20】



【書類名】 要約書

【要約】

【課題】 微細化が進み、セル間距離が縮小された場合でも、隣接セル間干渉を最小限に抑制できる半導体記憶装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 と、半導体基板 1 に埋め込まれた素子分離絶縁膜 7 と、素子分離絶縁膜 7 により分離されたセル部ゲート絶縁膜 2、第一導電層 3 を備える。第一導電層 3 の上部端面は、素子分離絶縁膜 7 の上部端面の位置よりも低い。導電層間絶縁膜 8 a が第一導電層 3 の頂部上に配置され、素子分離絶縁膜 7 により分離されている。第二導電層 1 0 が、底面が素子分離絶縁膜 7 の上部端面に接し、導電層間絶縁膜 8 a 上に配置されている。第二導電層 1 0 は、隣接するメモリセルカラムに共通の配線となる。

【選択図】 図 1

特願 2 0 0 3 - 1 9 2 4 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

- | | |
|----------|---------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 2 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市幸区堀川町 7 2 番地 |
| 氏 名 | 株式会社東芝 |
| | |
| 2. 変更年月日 | 2 0 0 1 年 7 月 2 日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |